

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8817961

Basic Patent (No,Kind,Date): JP 1185521 A2 890725 <No. of Patents: 001>

SUBSTRATE FOR DISPLAY DEVICE (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): IKEDA MITSUSHI

IPC: *G02F-001/133; G09F-009/30; H01L-027/12; H01L-029/78

Derwent WPI Acc No: C 89-253499

JAPIO Reference No: 130471P000105

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1185521	A2	890725	JP 887400	A	880119 (BASIC)

Priority Data (No,Kind,Date):

JP 887400 A 880119

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02887921 **Image available**

SUBSTRATE FOR DISPLAY DEVICE

PUB. NO.: **01-185521** [JP 1185521 A]

PUBLISHED: July 25, 1989 (19890725)

INVENTOR(s): IKEDA MITSUSHI

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 63-007400 [JP 887400]

FILED: January 19, 1988 (19880119)

INTL CLASS: [4] G02F-001/133; G09F-009/30; H01L-027/12; H01L-029/78

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION
-- Other)

JAPIO KEYWORD:R004 (PLASMA); R011 (LIQUID CRYSTALS); R096 (ELECTRONIC
MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS --
Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 949, Vol. 13, No. 471, Pg. 105,
October 25, 1989 (19891025)

ABSTRACT

PURPOSE: To obtain a low-resistance address line at low cost by laminating a conductive film on the exposed part of at least one of address wiring and a data line except 1st and 2nd insulating films.

CONSTITUTION: The 1st insulating film 3 is formed in the same pattern as the island pattern of a semiconductor thin film and the conductive film is laminated on the exposed part of at least one of the address wiring 2 and data line 7 except the 1st and 2nd insulating films. Further, the conductive film is formed of a data wiring conductive film and the semiconductor thin film is formed of amorphous silicon. Consequently, low address line resistance is realized at low cost.

⑫ 公開特許公報(A) 平1-185521

⑪ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)7月25日

G 02 F 1/133

3 2 7

7370-2H

G 09 F 9/30

3 1 7

7335-5C

H 01 L 27/12

3 1 1

A-7514-5F

29/78

A-7925-5F 審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 表示装置用基板

⑮ 特 願 昭63-7400

⑯ 出 願 昭63(1988)1月19日

⑰ 発 明 者 池 田 光 志 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 井上 一男

明 細 書

1. 発明の名称

表示装置用基板

2. 特許請求の範囲

(1) 絶縁性基板上に形成された複数のアドレス配線と、このアドレス配線、またはその延長上に第1の絶縁膜を介して形成され前記アドレス線をゲート配線として動作するトランジスタ領域となる複数の半導体薄膜島状パターンと、前記アドレス線に第2の島状絶縁膜を介して交差する複数のデータ配線と、前記半導体薄膜島状パターン近傍の絶縁性基板上に形成される複数の画素電極パターンと、前記半導体薄膜島状パターンの一方側の端部に形成され前記データ配線に接続されるソース(ドレイン)電極と、前記半導体薄膜島状パターンの他方側の端部に形成され前記画素電極パターンに接続されたドレイン(ソース)電極と電極パターンで構成されたアクティブマトリックス型の表示装置用基板において前記第1の絶縁膜が半導体薄膜島状パターンと同一パターンにより

形成され、かつ、前記第1と第2の絶縁膜を除く前記アドレス配線および前記データ線の少なくとも一方の露出部分に積層して形成された導電膜を具備したことを特徴とする表示装置用基板。

(2) 導電膜がデータ配線導電膜で形成されていることを特徴とする請求項1の表示装置用基板。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明は、アクティブマトリックス型表示装置用基板に関する。

〔従来の技術〕

近年、非晶質シリコン(a-Si)膜を用いた薄膜トランジスタ(以下TFTと略称)をスイッチング素子として構成されるアクティブマトリックス型液晶表示装置が注目されている。これは、安価なガラス基板が利用できることにより、大面積、高解像、高画質且つ安価なパネルディスプレイが実現できる可能性があるからである。

従来、このような表示装置駆動用のTFTとして

は、第3図に示すような逆スタガ型のものが用いられている。すなわち、ガラス基板11の上にアドレス線及びゲートとなるパターン12を形成し、ゲート絶縁膜13、 a -Si層14、 n^+ a -Si層15を堆積し、 a -Si層の島を形成する。次に、画素電極16を形成した後にソース・ドレイン電極及びデータ線17を形成する。このようなスタガ型のTFTを用いた表示装置用基板では、B-B'、C-C'部の段差部におけるアドレス線12とデータ線17とのショートを防ぐためにアドレス線金属層12の層厚を厚くできない。ゲート絶縁膜13のカバレッジを良くするためには、アドレス線12の膜厚の約2倍以上の厚みが必要なのである。

アドレスラインの抵抗を下げるためには、第4図に示すようにアドレスライン上の絶縁膜13にコンタクトホール18₁、18₂を開口してその上に金属層19を積層することが知られている。しかし、コンタクトホール18を10~20 μ m程度の細いアドレスライン上に開口するには高いパターン精度と合わせ精度が必要であり、パターンニングプロセスが

のパターンで絶縁膜13をエッチングすれば良い。

上に述べたように、B-B'、C-C'のような a -Siの島の部分だけ絶縁膜を残すことにより、アドレス、データ間のショートは発生しない。その他の部分の絶縁膜を除去することにより、高い合わせ精度、パターンニング精度を全く必要とせず、アドレスラインと他の積層金属をコンタクトできる。又、コンタクトホール用のマスクは必要としないために、パターンニングプロセスを1回少なくすることができる。このように、本発明によれば、コストを下げて提供することを目的とする。

〔発明の構成〕

（課題を解決するための手段）

この発明にかかる表示装置用基板は、絶縁性基板上に形成された複数のアドレス配線と、このアドレス配線、またはその延長上に第1の絶縁膜を介して形成され前記アドレス線をゲート配線として動作するトランジスタ領域となる複数の半導体薄膜島状パターンと、前記アドレス線に第2の島状絶縁膜を介して交差する複数のデータ配線と、

1回必要となる。特に、大画面、高精細になった場合には、ガラス基板の変形のために、このような精度を確保することは困難である。このため、製造コストの増加が避けられない。

（発明が解決しようとする課題）

以上のように、従来のアクティブマトリックス型ディスプレイで、大画面、高精細ディスプレイを実現しようとした場合、ガラス基板の変形によるマスク合わせが困難になり、又、アドレスライン上のコンタクトホール開口のためのマスクのコストの増大が避けられない。本発明はこのような問題点を解決し、低抵抗のアドレス線を低コストで提供することを目的としている。

（作用）

第3図より明らかなように、アドレス、データ線間のショートを防ぐための絶縁膜13は、B-B'のTFT部、C-C'の交差部にあれば良く、他の部分にはなくても問題は生じない。このため、ゲート絶縁膜13を a -Si 14の下のみに残し他の部分を除去しても良い。このためには、 a -Siの島14と同一

前記半導体薄膜島状パターン近傍の絶縁性基板上に形成される複数の画素電極パターンと、前記半導体薄膜島状パターンの一方側の端部に形成され前記データ配線に接続されるソース（ドレイン）電極と、前記半導体薄膜島状パターンの他方側の端部に形成され前記画素電極パターンに接続されたドレイン（ソース）電極と電極パターンで構成されたアクティブマトリックス型の表示装置用基板において前記第1の絶縁膜が半導体薄膜島状パターンと同一パターンにより形成され、かつ、前記第1と第2の絶縁膜を除く前記アドレス配線および前記データ線の少なくとも一方の露出部分に積層して形成された導電膜を具備したことを特徴とするものである。また、導電膜がデータ配線導電膜で形成されていること、さらに、半導体薄膜がアモルファスシリコンであることを特徴とする。本発明によれば、低コストで低いアドレスライン抵抗を実現できる。

（実施例）

以下、この発明の実施例につき図面を参照して

説明する。

第1図に一実施例の表示装置用基板を示す。第1図において、1はガラス基板で、この上面にスパッタリング法により厚さ2000ÅのTa層2を堆積し、アドレスラインおよびゲートをパターンニングする。次に、プラズマCVD(化学気相堆積)法により、厚さ3000ÅのSiNx3、厚さ2500Åのa-Si層4、厚さ300Åのn⁺a-Si層5を連続して堆積し、TFT部および交差部の島をパターンニングし、ケミカルドライエッチング(以下CDE)によりエッチングする。次に、厚さ1500ÅのITO(Indium Tin Oxide)表示電極6をスパッタリングにより堆積し、両端電極を形成する。次に、Mo/Al層をスパッタリングにより堆積させ、ソース、ドレイン、データライン17およびアドレスライン2の積層部を形成する。さらに、チャネル部のn⁺a-Si層5にCDEによりエッチングを施して表示用基板が完成する。

叙上の如くして得られた対角10インチ(192×144mm)の液晶ディスプレイのアドレスライン抵抗は13.5kΩで、従来の67.2kΩに比し顕著な低減を

みた。

次に、第2図に本発明の別の実施例を示す。第2図において、ゲート絶縁膜3は、SiNx層3₁とSiO_x層3₂を積層させて形成されている。また、アドレスラインの抵抗をさらに下げよう交差部において、データラインを1層目のTa層2とし、アドレスラインは2層目のAl層7として形成している。

叙上の如くすることによって、アドレスラインの抵抗は400Ωが得られ、従来の67.2kΩに比し顕著な低減である。

なお、ゲート絶縁膜としては、SiO_x、SiNxに限らず、TaO_xやAl₂O₃でも適する。また、半導体としてはa-Siに限らずポリシリコンでもよい。

(発明の効果)

叙上の如く、本発明によれば、コンタクトホールを設ける従来の技術に比し高価で位置合わせの難しいコンタクトホール用マスクが不要で、かつアドレスライン抵抗を下げることができる。すなわち、コストを下げてディスプレイの表示特性

を向上させることができる顕著な利点がある。

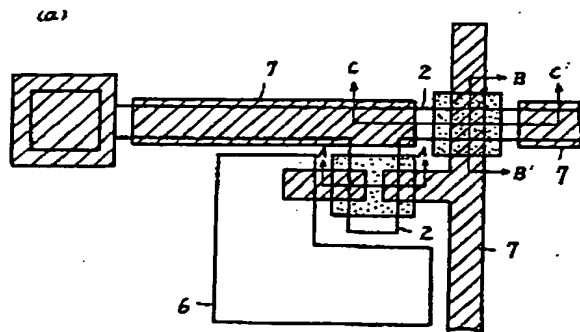
4. 図面の簡単な説明

第1図は本発明の一実施例のアクティブマトリックス表示装置基板を示すaは平面図、bはaのA-A線断面図、cはaのB-B線断面図、dはaのC-C線断面図、第2図は別の実施例のアクティブマトリックス表示装置基板を示すaは平面図、bはaのA-A線断面図、cはaのB-B線断面図、dはaのC-C線断面図、第3図は従来例のアクティブマトリックス表示装置基板を示すaは平面図、bはaのA-A線断面図、cはaのB-B線断面図、dはaのC-C線断面図、第4図は別の従来例のアクティブマトリックス表示装置基板を示すaは平面図、bはaのA-A線断面図、cはaのB-B線断面図、dはaのC-C線断面図である。

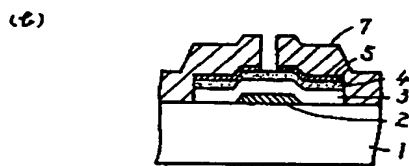
- 1,-----ガラス基板
- 2,-----アドレス配線(1層目金属)
- 3,-----ゲート絶縁膜
- 4,-----a-Si層

- 5 -----n⁺a-Si層
- 6 -----ITO表示電極
- 7 -----データ配線(2層目金属)

代理人 弁理士 井 上 一 男

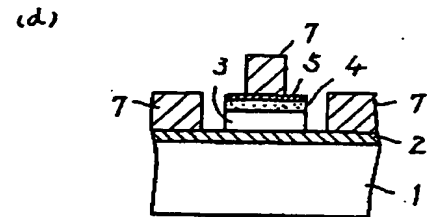
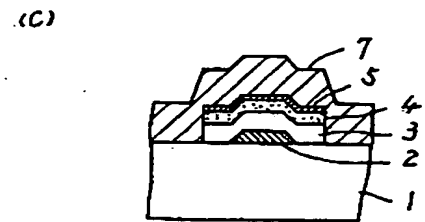


2: TPLX 配線 (1層目金属)
7: T-7 配線 (2層目金属)
6: ITO 表示電極

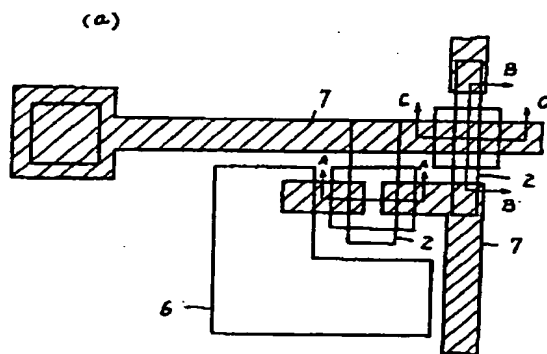


1: ガラス基板 3: ゲート絶縁膜
4: a-Si層 5: p⁺a-Si層

第 1 図 (※1)



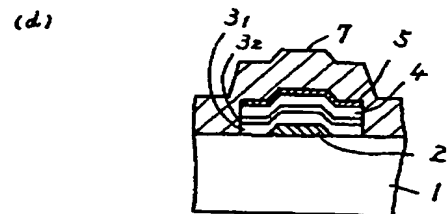
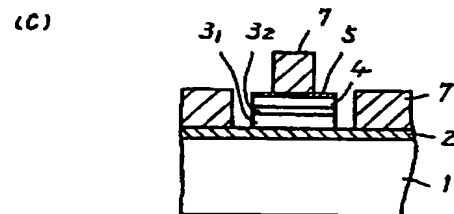
第 1 図 (※2)



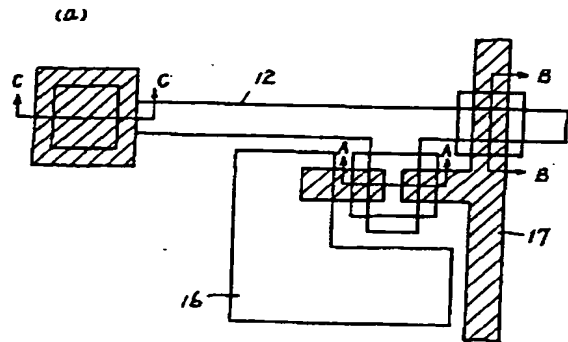
(b)

3₁: SiNx層 3₂: SiO₂層

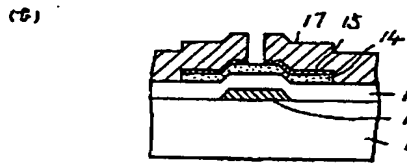
第 2 図 (※1)



第 2 図 (※2)



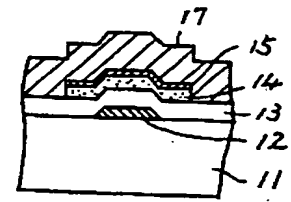
12: アドス配線 (1層目金属)
17: n-p 配線 (2層目金属)
16: ITO 表示電極



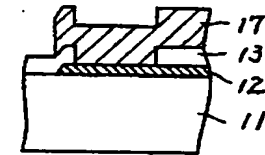
11: ガラス基板 13: ゲート絶縁膜
14: a-Si層 15: n⁺a-Si層

第 3 図 (2a1)

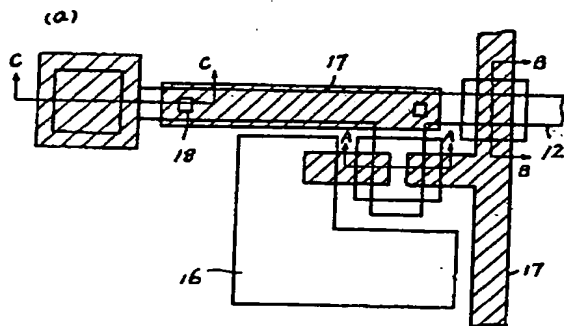
(C)



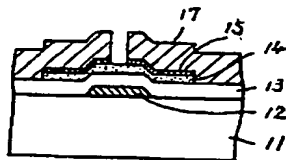
(d)



第 3 図 (2a2)

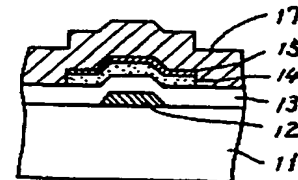


(b)

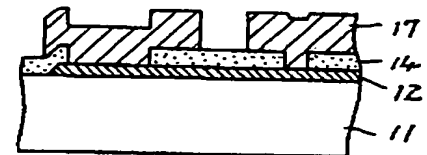


第 4 図 (2a1)

(C)



(d)



第 4 図 (2a2)